

09/67488

PCT/JP00/01384

08.03.00

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

REC'D 28 APR 2000

WIPO

PCT

JP00/01384

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 3月 8日

出 願 番 号

Application Number:

平成11年特許願第060316号

出 願 人

Applicant (s):

ソニー株式会社

4

PRIORITY

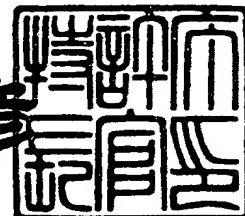
DOCUMENT

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 4月14日

特許庁長官  
Commissioner,  
Patent Office

近藤 隆彦



出証番号 出証特2000-3025753

【書類名】 特許願

【整理番号】 9800918203

【提出日】 平成11年 3月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 11/04

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 塚越 郁夫

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 犬井 努

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100082131

【弁理士】

【氏名又は名称】 稲本 義雄

【電話番号】 03-3369-6479

【手数料の表示】

【予納台帳番号】 032089

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特平 1 1 - 0 6 0 3 1 6

【包括委任状番号】 9708842

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デジタル信号処理装置および方法、並びに提供媒体

【特許請求の範囲】

【請求項 1】 エンコードされているデジタル信号を入力する入力手段と、

前記入力手段により入力されたデジタル信号をデコードするソフトウェアよりなるデコード手段と、

前記デコード手段によりデコードされたデジタル信号を、複数のアクセス単位分だけ記憶する第 1 の記憶手段と、

前記第 1 の記憶手段に記憶されているアクセス単位の前記デジタル信号の出力の順番をFIFO形式で管理する管理手段と

を含むことを特徴とするデジタル信号処理装置。

【請求項 2】 前記デコード手段は、前記デジタル信号をMPEG方式でデコードする

ことを特徴とする請求項 1 に記載のデジタル信号処理装置。

【請求項 3】 エンコードされているデジタル信号を入力する入力ステップと、

前記入力ステップの処理により入力されたデジタル信号をソフトウェアでデコードするデコードステップと、

前記デコードステップの処理によりデコードされたデジタル信号を、複数のアクセス単位分だけ記憶する第 1 の記憶ステップと、

前記第 1 の記憶ステップの処理で記憶されているアクセス単位の前記デジタル信号の出力の順番をFIFO形式で管理する管理ステップと

を含むことを特徴とするデジタル信号処理方法。

【請求項 4】 エンコードされているデジタル信号を入力する入力ステップと、

前記入力ステップの処理により入力されたデジタル信号をソフトウェアでデコードするデコードステップと、

前記デコードステップの処理によりデコードされたデジタル信号を、複数のア

クセス単位分だけ記憶する第 1 の記憶ステップと、

前記第 1 の記憶ステップの処理で記憶されているアクセス単位の前記デジタル信号の出力の順番をFIFO形式で管理する管理ステップと

を含む処理をデジタル信号処理装置に実行させるコンピュータが読み取り可能なプログラムを提供することを特徴とする提供媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル信号処理装置および方法、並びに提供媒体に関し、特に、エンコードされているデジタル信号を受信し、デコードして出力する場合のリアルタイム性を補償するようにした、デジタル信号処理装置および方法、並びに提供媒体に関する。

【0002】

【従来の技術】

最近、衛星を介して、ビデオ信号やオーディオ信号を転送するシステムが普及しつつある。このようなシステムにおいては、データ量を圧縮するために、例えば、MPEG (Moving Picture Experts Group) 方式によりエンコードして信号が伝送されることが多い。従って、衛星を介して送信されてくるデジタル信号を受信する受信装置は、MPEG方式で受信信号をデコードする必要がある。

【0003】

デジタルビデオ信号をソフトウェアを用いてデコード（復号）する場合、デコードに必要な複数の処理を逐次実行していく必要がある。また、出力をリアルタイムで行うには、デコードに必要な全ての処理を、出力で要求される周期に間に合う時間内に完了する必要がある。例えば、NTSC方式の場合、フレームレートは 30 フレーム／秒であるため、その 1 周期は、33.36 msec となる。従って、1 フレーム分の画像データは、33.36 msec 内に処理する必要がある。

【0004】

ところで、入力されるストリームの状況や、デコードする画像の状況によって、それらの処理を実行するために必要な時間が変動する。例えば、MPEG方式の画

像の場合、ビットストリームのビットレートによって、可変長符号の復号処理に必要な時間が変化し、Iピクチャ、Bピクチャ、またはPピクチャといったピクチャコーディングタイプの種類や、ハーフペル、またはフルペルといった動き補償精度の違いによっても、動き補償の処理時間が変化する。さらに、動画像だけではなく、音声信号の復号、あるいはデマルチプレクスといった処理にも時間がかかる。その他、それらの処理全体を管理するOSが消費する時間も変動する。

【0005】

そこで、例えば、パーソナルコンピュータなどでソフトウェアによりデコード処理を行う場合、デコード処理が出力周期に間に合わない場合、一部のデータの処理をスキップして、出力を間引くようにして、リアルタイム性を維持するようにしている。

【0006】

【発明が解決しようとする課題】

しかしながら、例えば、衛星放送を受信する専用の受信装置において、ソフトウェアにより受信信号をデコードする場合においても、リアルタイム性を維持するために、一部のデータの処理をスキップして、出力を間引くことは、その装置が、本来衛星を介して送信されてくるデジタルビデオ信号をデコードする専用の装置であることを考慮すれば、許容されることではない。

【0007】

そこで、ソフトウェアによりデコードを短時間で完了できるようにするには、非常に高い処理能力を有するプロセッサが必要となり、コスト高となる課題があった。

【0008】

本発明はこのような状況に鑑みてなされたものであり、通常の処理能力を有するプロセッサを用いて、ソフトウェアにより低コストでデコード処理ができるようにするものである。

【0009】

【課題を解決するための手段】

請求項1に記載のデジタル信号処理装置は、エンコードされているデジタル信

号を入力する入力手段と、入力手段により入力されたデジタル信号をデコードするソフトウェアよりなるデコード手段と、デコード手段によりデコードされたデジタル信号を、複数のアクセス単位分だけ記憶する第 1 の記憶手段と、第 1 の記憶手段に記憶されているアクセス単位のデジタル信号の出力の順番をFIFO形式で管理する管理手段とを含むことを特徴とする。

#### 【0010】

請求項 3 に記載のデジタル信号処理方法は、エンコードされているデジタル信号を入力する入力ステップと、入力ステップの処理により入力されたデジタル信号をソフトウェアでデコードするデコードステップと、デコードステップの処理によりデコードされたデジタル信号を、複数のアクセス単位分だけ記憶する第 1 の記憶ステップと、第 1 の記憶ステップの処理で記憶されているアクセス単位のデジタル信号の出力の順番をFIFO形式で管理する管理ステップとを含むことを特徴とする。

#### 【0011】

請求項 4 に記載の提供媒体は、エンコードされているデジタル信号を入力する入力ステップと、入力ステップの処理により入力されたデジタル信号をソフトウェアでデコードするデコードステップと、デコードステップの処理によりデコードされたデジタル信号を、複数のアクセス単位分だけ記憶する第 1 の記憶ステップと、第 1 の記憶ステップの処理で記憶されているアクセス単位のデジタル信号の出力の順番をFIFO形式で管理する管理ステップとを含む処理をデジタル信号処理装置に実行させるコンピュータが読み取り可能なプログラムを提供することを特徴とする。

#### 【0012】

請求項 1 に記載のデジタル信号処理装置、請求項 3 に記載のデジタル信号処理方法、および請求項 4 に記載の提供媒体においては、記憶されているアクセス単位のデジタル信号の出力の順番がFIFO形式で管理される。

#### 【0013】

#### 【発明の実施の形態】

図 1 は、本発明を適用した、デジタル信号処理装置の構成例を表している。プ

ログラムメモリ 2 には、入力されたストリームのデコード（復号）処理を行うデコードプログラム、並びに各部を制御する処理プログラムなどが記憶されている。CPU 1 は、プログラムメモリ 2 に記憶されているプログラムをバス 7 を介して適宜読み出し実行する。ビデオフレームバッファ 3 は、デコードされた画像データを一時的に記憶する記憶装置であり、複数フレーム分の画像データを保持する容量を有している。

【 0 0 1 4 】

出力FIFO（First In First Out） 4 は、出力するフレームの画像が記憶されているバッファ 1 乃至バッファ N の管理IDを、出力する順番に記憶する。ストリーム入力インタフェース（I/F） 5 は、衛星等を介して送信されてくる、例えば、MPEG方式でエンコードされているストリームを入力するためのインタフェース処理を実行する。ディスプレイコントローラ 6 は、デコードされた画像データを、図示せぬディスプレイに出力し、表示させる。

【 0 0 1 5 】

ビデオフレームバッファ 3 は、図 2 に示すように、Nフレーム分の画像データを記憶するための領域として、バッファ 1 乃至バッファ N を有している。これらのバッファは、必ずしも連続したアドレス領域に定義する必要はない。また、各バッファは、それぞれデコード出力用としての割当、デコード結果の保持、およびデータの出力の順序で使用され、出力が終了したバッファは、再び、デコード出力用として再利用される。さらに、各バッファは、全て等価的に使用され、特定のバッファが限定された用途に使用されることはない。

【 0 0 1 6 】

なお、出力FIFO 4 は、ビデオフレームバッファ 3 内に形成してもよい。

【 0 0 1 7 】

図 3 は、出力FIFO 4 の原理的な構成を表している。この出力FIFO 4 は、デコード結果を出力するバッファの順番と、出力するまでの遅延を管理するものであり、図 2 に示したビデオフレームバッファ 3 のバッファ 1 乃至バッファ N の管理ID、またはポインタが、この出力FIFO 4 に、出力する順番に入力、記憶され、出力する順番に出力される。



## 【0018】

次に、図4のタイミングチャートを参照して、図1に示す装置の動作について説明する。図4において、時刻 $t_1$ 乃至 $t_4$ は、それぞれデコードした画像データを出力するタイミングを表している。すなわち、各時刻 $t_1$ 乃至 $t_4$ の間隔は、1フレーム分の周期（33.36 msec）とされる。CPU1は、プログラムメモリ2より読み出したプログラムに従って、時刻 $t_1$ のタイミングで処理1を実行し、その処理1の処理が終了したとき、次に、処理2を実行する。そして、処理2の処理が完了したとき、処理3を実行する。このように、処理の優先順位は、処理1が最も高く、次に処理2が続き、処理3は最も優先順位が低い。

## 【0019】

次に、図5のフローチャートを参照して、処理1について説明する。ステップS11において、CPU1は、次に出力するバッファのIDを出力FIFO4より取得する。そして、ステップS12において、CPU1は、ステップS11で取得したIDに対応する画像データをビデオフレームバッファ3から読み出し、バス7を介して、ディスプレイコントローラ6に出力する。ディスプレイコントローラ6は、入力されたデータを図示せぬディスプレイに出力し、表示させる。

## 【0020】

例えば、図4に示す時刻 $t_1$ において、出力FIFO4には、その先頭に管理IDとしてAが保持されている。そこで、CPU1は、ステップS11において、出力FIFO4から管理IDとしてAを読み出し、ビデオフレームバッファ3のバッファ1乃至バッファNのうち、Aの管理IDに対応するバッファの画像データを読み出し、出力する。

## 【0021】

次に、CPU1は、処理2を実行する。この処理2は、例えば、オーディオデータのデコード処理である。処理されたオーディオデータは、ディスプレイコントローラ6から所定のタイミングで、図示せぬスピーカに出力される。

## 【0022】

処理2が終了したとき、次に、CPU1は、処理3を実行する。次に、図6のフローチャートを参照して、この処理3の詳細について説明する。

## 【0023】

最初に、ステップS21において、CPU1は、次のデコード出力用バッファの割当処理を実行する。すなわち、図2に示すビデオフレームバッファ3のバッファ1乃至バッファNのうち、空いている（既に読み出した）バッファを、デコードした画像データを出力し、記憶させるバッファとして割り当てる。次に、ステップS22において、CPU1は、ストリーム入力インタフェース5より入力されてきた1フレーム分の画像データを、プログラムメモリ2より読み出したデコードプログラムにより、MPEG方式でデコードする。さらに、ステップS23において、CPU1は、次に出力する（読み出す）バッファのIDを出力FIFO4に登録する。

## 【0024】

図4の時刻 $t_1$ から時刻 $t_2$ の間のタイミングにおいては、このような処理3により、管理IDがDであるフレームの画像処理が行われたので、CPU1は、出力FIFO4に管理IDとして、Dを登録する。図4の例では、時刻 $t_1$ から時刻 $t_2$ までの時間に、処理3は完了することが可能であった。

## 【0025】

これに対して、時刻 $t_2$ から時刻 $t_3$ までの時間においては、処理1として管理IDがBであるフレームの画像が出力された後、処理2として、オーディオデータなどの処理が行われ、その後、処理3が開始されているのであるが、処理3は、時刻 $t_4$ までの間に、完了することができていない。

## 【0026】

このような場合、従来においては、時刻 $t_3$ において、直前の時刻 $t_2$ において出力した、管理IDがBであるフレームの画像を、再度出力するようにしている。しかしながら、本発明においては、時刻 $t_3$ において、処理3の処理を一旦中断した後、処理1として出力FIFO4に記憶されている管理IDがCであるフレームの画像を出力する。その後、さらに、処理2を実行した後、それが終了したとき、処理3として、一旦中断した処理を再開する。そして、その後、続いて、次のフレームの画像データの処理を実行する。図4の例では、このようにして、時刻 $t_3$ から時刻 $t_4$ までの間に、管理IDがEとFの2つのフレームの画像データを処理

することができ、それらのフレームの管理IDであるEとFが、出力FIFO4に記憶されている。

【0027】

このように、出力FIFO4により、バッファ1乃至バッファNの管理を行うようにすることで、処理3の実行時間が、出力周期を一時的に越えてしまったような場合や、各処理の実行時間の伸縮によって、処理1と処理3の実行タイミングが非同期になってしまったような場合にも、処理1においては、一定周期で出力するバッファを常に確保することが可能となる。

【0028】

このようにして、CPU1に要求されるソフトウェアの処理能力が、1フレームのデコードに要する処理時間の最悪値ではなく、数フレームのデコードに要する平均的処理時間になるため、CPU1として、より安価なプロセッサを用いることが可能となる。

【0029】

以上においては、アクセス単位をフレームとしたが、フィールドでもよい。また、MPEG方式でエンコードされているデジタル信号をデコードする場合を例としたが、符号化（圧縮）とその復号（伸長）処理は、他の方式でもよいことは勿論である。

【0030】

なお、上記したような処理を行うコンピュータプログラムをユーザに提供する提供媒体としては、磁気ディスク、CD-ROM、固体メモリなどの記録媒体の他、ネットワーク、衛星などの通信媒体を利用することができる。

【0031】

【発明の効果】

以上の如く、請求項1に記載のデジタル信号処理装置、請求項3に記載のデジタル信号処理方法、および請求項4に記載の提供媒体によれば、記憶されているアクセス単位のデジタル信号の出力の順番をFIFO形式で管理するようにしたので、安価な装置で、ソフトウェアによりリアルタイム性を確保しつつ、デコード処理することが可能となる。

【図面の簡単な説明】

【図 1】

本発明を適用したデジタル信号処理装置の構成例を示すブロック図である。

【図 2】

図 1 のビデオフレームバッファ 3 の構成を示す図である。

【図 3】

図 1 の出力FIFO 4 の構成を示す図である。

【図 4】

図 1 の装置の動作を説明するタイミングチャートである。

【図 5】

図 4 の処理 1 の動作を説明するフローチャートである。

【図 6】

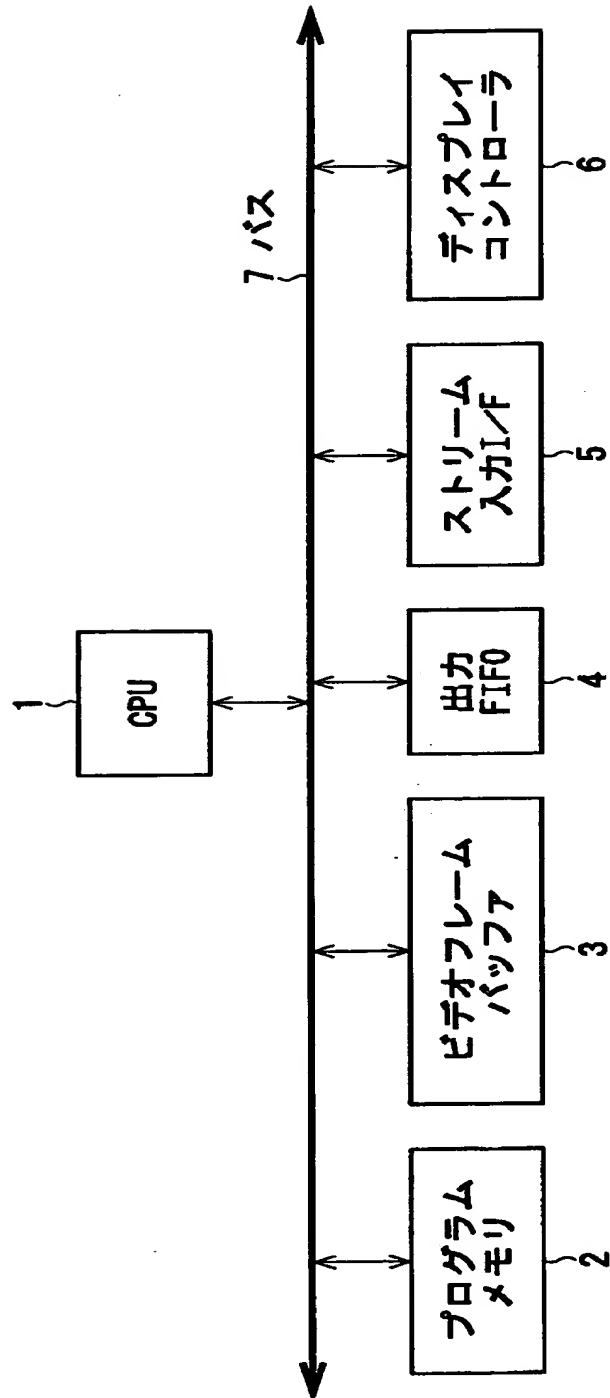
図 4 の処理 3 の動作を説明するフローチャートである。

【符号の説明】

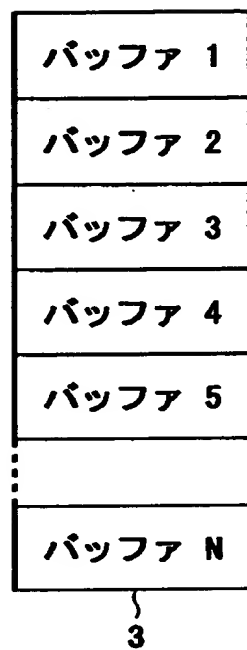
1 CPU, 2 プログラムメモリ, 3 ビデオフレームバッファ, 4  
出力FIFO, 5 ストリーム入カインタフェース, 6 ディスプレイコントロ  
ーラ, 7 バス

【書類名】 図面

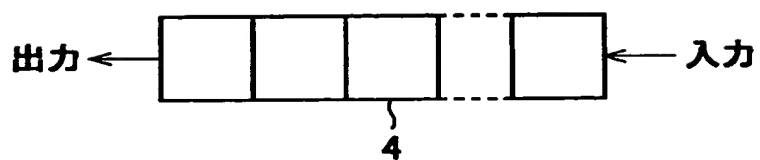
【図 1】



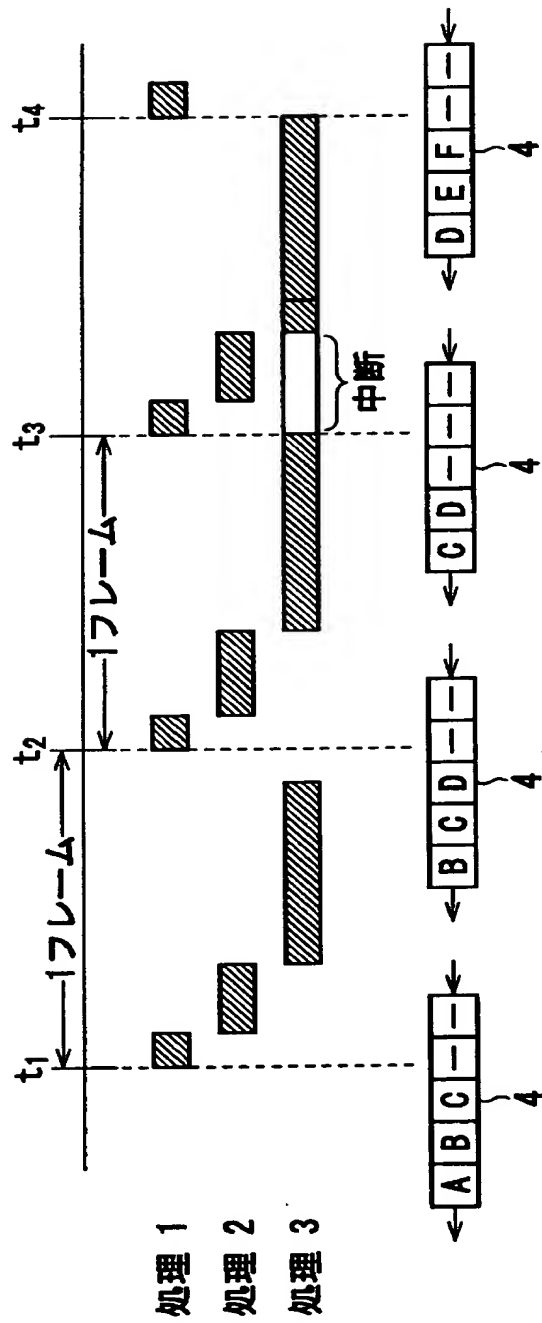
【図 2】



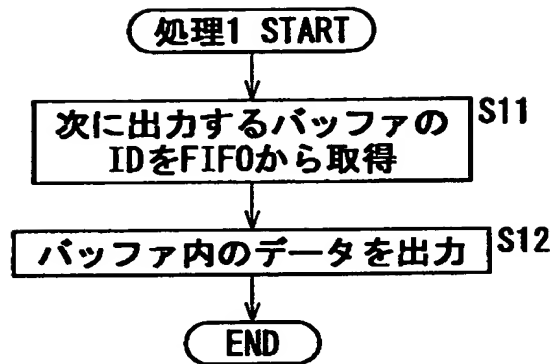
【図 3】



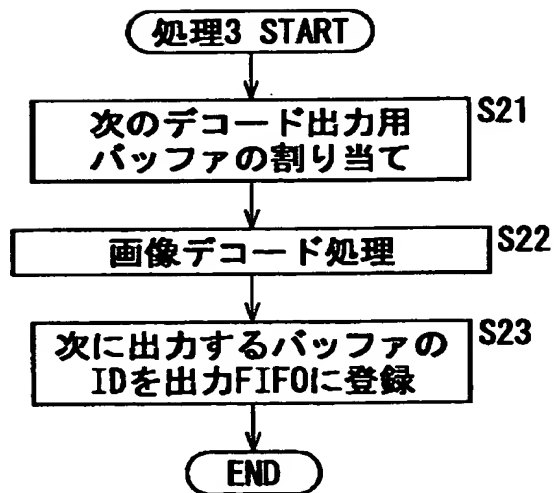
【図 4】



【図 5】



【図 6】





特平 1 1 - 0 6 0 3 1 6

【書類名】 要約書

【要約】

【課題】 安価なプロセッサを用いて、ソフトウェアによりデコード処理ができるようにする。

【解決手段】 処理 1 では、時刻  $t_1$  乃至時刻  $t_4$  において、その時点において出力 FIFO 4 の先頭に記憶されている管理 ID に対応する、デコード済みのフレームの画像データが読み出され、出力される。処理 2 においては、オーディオデータがデコードされる。処理 3 においては、画像データがデコードされる。デコードされた画像データは、ビデオフレームバッファに記憶されるとともに、その管理 ID が、出力 FIFO 4 に出力する順番に記憶される。時刻  $t_2$  から時刻  $t_3$  までの間に、処理 3 を終了させることができなかった場合、処理 3 を途中で中断し、出力 FIFO 4 の先頭に記憶されている管理 ID が C であるフレームの画像が出力される。その後、処理 2 が終了した後、一旦中断した処理 3 のデコード処理が再開される。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社

*This Page Blank (uspto)*